

MANUFACTURE OF LIQUID CRYSTAL DEVICE

Patent number: JP5175233

Publication date: 1993-07-13

Inventor: NAGAHIRO NORIO; TANAKA TSUTOMU; YANAI KENICHI

Applicant: FUJITSU LTD

Classification:

- international: *G02F1/136; G02F1/1368; H01L21/336; H01L27/12; H01L29/786; G02F1/13; H01L21/02; H01L27/12; H01L29/66; (IPC1-7): G02F1/136; H01L21/336; H01L27/12; H01L29/784*

- european:

Application number: JP19910343501 19911225

Priority number(s): JP19910343501 19911225

[View INPADOC patent family](#)

Abstract of JP5175233

PURPOSE: To reduce stray capacitance between electrodes, by forming a region where a channel region layer between regions for forming a source electrode and a drain electrode is formed and a gate electrode by a photolithography method using a light shielding film on a transparent substrate as a mask.

CONSTITUTION: By a photolithography method using the same light shielding film 22 as a mask, a gap where a channel region 32c between a source electrode 30 and a drain electrode 31 is formed and a gate electrode 36a on the channel region 32c are formed. Hence the width of the channel region layer 32c between the source electrode 30 and the drain electrode 31 is made nearly equal to the width of the gate electrode 36a, and the layer 32c and the electrode 36a can be so formed that the positions coincide with the upper part of the light shielding film 22. Thereby the overlap of the source electrode 30 and the drain electrode 31, and the gate electrode 36a is remarkably reduced, so that the parasitic capacitance of a TFT element is reduced and the high speed operation of a liquid crystal device is enabled.

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平5-175233

(43) 公開日 平成5年(1993)7月13日

(51) Int.Cl. ⁵	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 L 21/336 29/784				
G 0 2 F 1/136	5 0 0	9018-2K 9056-4M 9056-4M	H 0 1 L 29/78 3 1 1 P 3 1 1 N	
審査請求 未請求 請求項の数 5 (全 11 頁) 最終頁に続く				

(21) 出願番号 特願平3-343501

(22) 出願日 平成3年(1991)12月25日

(71) 出願人 000005223

富士通株式会社

神奈川県川崎市中原区上小田中1015番地

(72) 発明者 長廣 紀雄

神奈川県川崎市中原区上小田中1015番地

富士通株式会社内

(72) 発明者 田中 勉

神奈川県川崎市中原区上小田中1015番地

富士通株式会社内

(72) 発明者 梁井 健一

神奈川県川崎市中原区上小田中1015番地

富士通株式会社内

(74) 代理人 弁理士 岡本 啓三

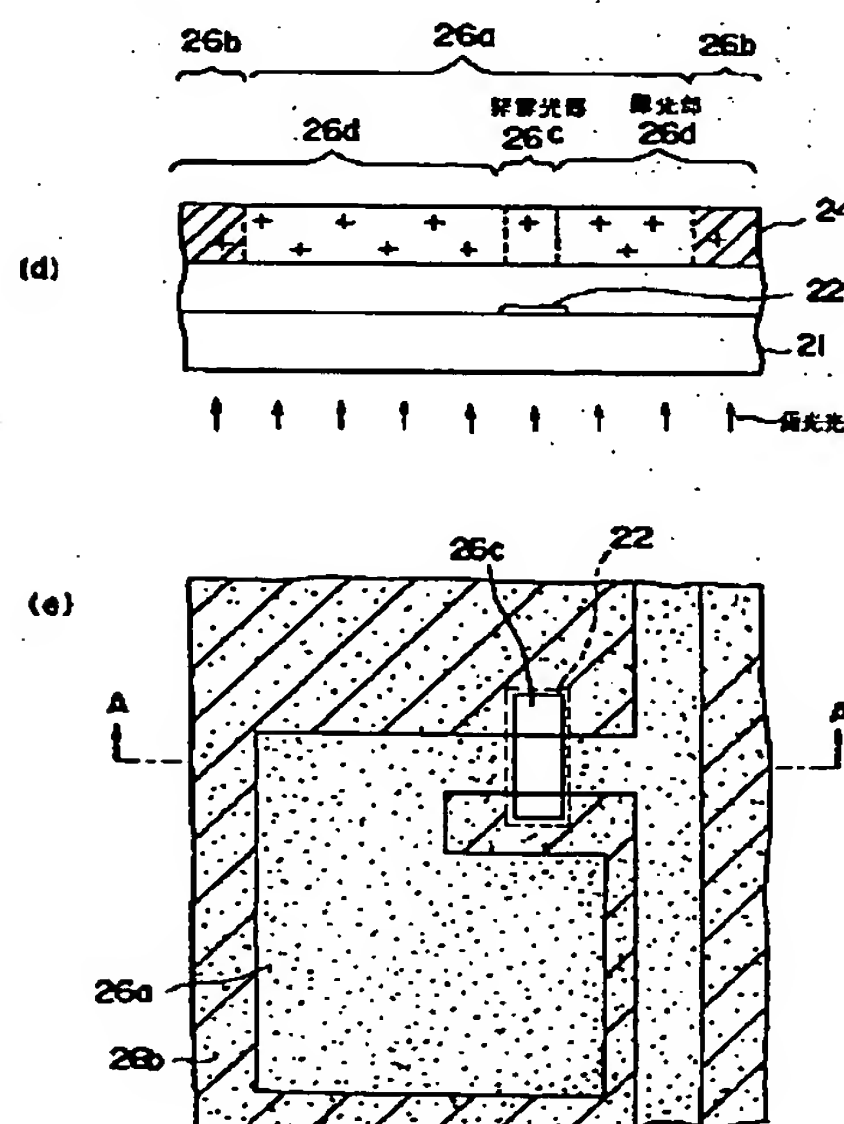
(54) 【発明の名称】 液晶装置の製造方法

(57) 【要約】

【目的】 本発明は、制御素子として薄膜トランジスタを有する液晶装置の製造方法に関し、寄生容量を低減して液晶装置の高速化を図ることが可能な液晶装置の製造方法を提供することを目的とする。

【構成】 透明基板21上の遮光膜22をマスクとしてチャネル領域層を形成すべき領域に選択的に第1のパターン形成膜24aを形成するとともに、第1の露光マスク25を用いて第2のパターン形成膜24bを形成する工程と、リフトオフにより第1の導電体膜39からなるソース電極30等を形成する工程と、遮光膜22をマスクとして第3のパターン形成膜37aを形成するとともに、第2の露光マスクを用いてゲートバスラインを形成すべき領域の第2の導電体膜36上に第4のパターン形成膜37bを形成する工程と、第3及び第4のパターン形成膜37a、37bをマスクとして第2の導電体膜37bをエッチング・除去し、ゲート電極36a等を形成する工程とを含み構成する。

本発明の実施例のTFTアクティブマトリクスLCDの製造方法について説明する図(その2)



【特許請求の範囲】

【請求項1】 透明基板上に遮光膜を選択的に形成した後、絶縁膜を形成する工程と、

前記遮光膜をマスクとするホトリソグラフィ法により、前記遮光膜の上方の絶縁膜上であって、前記ソース電極及びドレイン電極を形成すべき領域の間のチャンネル領域層を形成すべき領域に選択的に第1のパターン形成膜を形成するとともに、第1の露光マスクを用いたホトリソグラフィ法により、前記絶縁膜上であって、画素電極、ソース電極及びドレイン電極を形成すべき領域以外

の領域に選択的に第2のパターン形成膜を形成する工程と、

前記第1及び第2のパターン形成膜を介して前記絶縁膜上に露光光を透過する第1の導電体膜を形成する工程と、

前記第1及び第2のパターン形成膜を除去して、リフトオフにより前記第1の導電体膜からなる画素電極、ソース電極及びドレイン電極を形成する工程と、

前記ソース電極及びドレイン電極を橋渡しするように選択的に半導体層及び第1のゲート絶縁膜を形成するとともに、前記ドレイン電極と接続するドレインバスラインを形成する工程と、

前記第1のゲート絶縁膜上に第2のゲート絶縁膜と露光光を透過する第2の導電体膜とを順次形成する工程と、

前記遮光膜をマスクとするホトリソグラフィ法により前記遮光膜の上方の第2の導電体膜上に第3のパターン形成膜を形成するとともに、第2の露光マスクを用いたホトリソグラフィ法により、ゲートバスラインを形成すべき領域の第2の導電体膜上に第4のパターン形成膜を形成する工程と、

前記第3及び第4のパターン形成膜をマスクとして前記第2の導電体膜をエッチング・除去し、前記第2のゲート絶縁膜上に前記第2の導電体膜からなるゲート電極及び該ゲート電極と接続するゲートバスラインを形成する工程とを有する液晶装置の製造方法。

【請求項2】 前記第1及び第2のパターン形成膜を形成する工程においては、

加熱処理により感光反応形式がネガタイプとポジタイプとの間で逆転する第1の感光性膜を前記絶縁膜上に形成する工程と、

前記透明基板と反対側の表面側から、画素電極、ソース電極、ドレイン電極及び遮光膜の上方であってソース電極とドレイン電極との間のチャンネル領域層を形成すべき領域以外の領域の第1の感光性膜に選択的に露光光を照射した後、加熱処理して前記第1の感光性膜の感光反応形式を逆転する工程と、

前記遮光膜をマスクとして前記透明基板側から前記第1の感光性膜に選択的に露光光を照射した後、前記第1の感光性膜を現像し、前記絶縁膜上であって、前記遮光膜の上方のチャンネル領域層を形成すべき領域と、前記画素

電極、ソース電極及びドレイン電極を形成すべき領域以外の領域とにそれぞれ第1及び第2のパターン形成膜を形成する工程とを含むことを特徴とする請求項1記載の液晶装置の製造方法。

【請求項3】 前記第3及び第4のパターン形成膜を形成する工程においては、

前記第2の導電体膜上に加熱処理により感光反応形式がネガタイプとポジタイプとの間で逆転する第2の感光性膜を形成する工程と、

10 前記ゲートバスラインを形成すべき領域の第2の感光性膜に選択的に露光光を照射した後、加熱処理して前記第2の感光性膜の感光反応形式を逆転する工程と、

前記ドレインバスライン上方の領域に選択的に露光光を照射するとともに、前記遮光膜をマスクとして前記透明基板側から前記第2の感光性膜に選択的に露光光を照射した後、前記第2の感光性膜を現像し、前記第2の導電体膜上であって、前記遮光膜の上方のゲート電極を形成すべき領域、及び前記ゲートバスラインを形成すべき領域にそれぞれ第3及び第4のパターン形成膜を形成する工程とを含むことを特徴とする請求項1又は請求項2記載の液晶装置の製造方法。

【請求項4】 前記ドレインバスラインはA1膜等の遮光性の導電体膜であることを特徴とする請求項3記載の液晶装置の製造方法。

【請求項5】 前記第1の導電体膜はITO膜/ n^+ a-Si膜の2層の導電体膜であり、前記第2の導電体膜はITO膜であり、前記第1及び第2のゲート絶縁膜はシリコン窒化膜であることを特徴とする請求項1、請求項2、請求項3又は請求項4記載の液晶装置の製造方法。

【発明の詳細な説明】

【0001】

(目次)

- ・産業上の利用分野
- ・従来の技術(図8～図10)
- ・発明が解決しようとする課題
- ・課題を解決するための手段
- ・作用
- ・実施例(図1～図7)
- ・発明の効果

【0002】

【産業上の利用分野】 本発明は、液晶装置の製造方法に関し、更に詳しく言えば、制御素子として薄膜トランジスタ(TFT)を有する液晶装置(LCD)の製造方法に関する。

【0003】

【従来の技術】 図8(a)～(c)、図9(d)～(f)、図10(g)、(h)は、従来例のTFTアクティブマトリクスLCDの製造方法について説明する断面図である。

3

【0004】まず、図8(a)に示すように、透明基板1上の、薄膜トランジスタ(TFT)のチャネル層を形成すべき領域に、このチャネル層に液晶装置の駆動のためのバックライト光が当たらないように遮光膜2を選択的に形成する。このとき、遮光膜2の幅は、位置合わせマージンを考慮して形成されるチャネル領域層の幅よりも大きめに形成しておく。次いで、遮光膜2を被覆して絶縁膜3を形成する。続いて、絶縁膜3上に加熱処理により感光反応が逆転するレジスト膜4を形成する。この従来例では、加熱処理により感光反応がネガタイプからポジタイプに変化するレジスト膜4を用いる。次いで、露光マスク5aを用いて、画素電極、ソース電極及びドレイン電極を形成すべき領域以外の領域のレジスト膜4を選択的に露光する(図8(b))。

【0005】次に、加熱処理を行い、レジスト膜4の感光反応をポジタイプに逆転させた(図8(c))後、続いて、別の露光マスク5bを用いて遮光膜2の上方の、TFTのチャネル層を形成すべき帯状の領域以外の領域のレジスト膜4を選択的に露光する(図9(d))。

【0006】次いで、レジスト膜4の現像を行うと、画素電極、ソース電極及びドレイン電極を形成すべき領域以外の領域及びチャネル領域層を形成すべき領域にレジストパターン4aが形成される(図9(e))。続いて、画素電極となるITO膜6/リンをドーブしたアモルファスシリコン($n^+ a-Si$)膜7を全面に形成する(図9(f))。

【0007】次に、残存するレジストパターン4aを除去すると、画素電極、ソース電極及びドレイン電極を形成すべき領域以外の領域及びチャネル領域層を形成すべき領域のITO膜6/ $n^+ a-Si$ 膜7がレジストパターン4aとともにリフトオフにより除去され、チャネル領域層を形成すべき領域を除く、画素電極及びソース電極を形成すべき領域とドレイン電極を形成すべき領域とにそれぞれITO膜6a/ $n^+ a-Si$ 膜7aと、ITO膜6b/ $n^+ a-Si$ 膜7bとが残存する。続いて、全面に半導体層及びゲート絶縁膜の一部となる第1の絶縁膜を形成する。

【0008】次いで、第1の絶縁膜、半導体層及び $n^+ a-Si$ 膜7a、7bを選択的にエッチングして、ITO膜6aからなる画素電極10と、画素電極10と接続するITO膜6a及び $n^+ a-Si$ 膜7cからなるソース電極11と、TFTのチャネル層を形成すべき帯状の領域を挟んでソース電極11と対向するITO膜6b及び $n^+ a-Si$ 膜7dからなるドレイン電極12とを形成するとともに、対向するソース電極11及びドレイン電極12との間が橋渡しされるように半導体層8、第1の絶縁膜14aを残存する。これにより、ソース電極11上の半導体層がソース領域層8aとなり、ドレイン電極12上の半導体層がドレイン領域層8bとなり、ソース電極11及びドレイン電極12との間の半導体層がチャ

4

ネル領域層8cとなっている一のTFTが完成する。

【0009】次いで、一のTFTのドレイン電極12及び不図示の他のTFTのドレイン電極12を互いに接続するドレインバスライン13を形成した後、ゲート絶縁膜の一部となる第2の絶縁膜14bを形成する。続いて、第2の絶縁膜14b上にゲート電極となる導電体膜15を形成した後、導電体膜15上にレジスト膜16を形成する。

【0010】次に、露光マスクを用いてレジスト膜16を選択的に露光した(図10(g))後、レジスト膜16を現像して、チャネル領域層8cの上方の、ゲート電極を形成すべき領域にレジストパターン16aを形成する。このとき、レジストパターン16aの幅は、位置合わせマージンを考慮して形成されるチャネル領域層8cの幅よりも大きめに形成しておく。次いで、レジストパターン16aをマスクとして導電体膜15を選択的にエッチング・除去し、ゲート電極15aを形成する(図10(h))。その後、全面に不図示の液晶膜を形成すると、液晶装置が完成する。

20 【0011】

【発明が解決しようとする課題】ところで、上記の製造方法によれば、図10(g)に示すように、露光マスク5cを用いてレジスト膜16を選択的に露光・現像して、チャネル領域層8cの上方の、ゲート電極15aを形成するためのマスクとなるレジストパターン16aを形成する際、ホト工程における位置合わせマージンを考慮して、レジストパターン16aの幅をチャネル領域層8cの幅よりも大きめに形成している。このため、形成されたゲート電極15aと、チャネル領域層8cに隣接するソース電極11及びドレイン電極12との間で相当の重なりが生じ、その結果、寄生容量が増大し、液晶装置の高速化の妨げになるという問題がある。

【0012】本発明は、かかる従来技術の問題点に鑑みて創作されたものであり、寄生容量を低減して液晶装置の高速化を図ることが可能な液晶装置の製造方法を提供することを目的とする。

【0013】

【課題を解決するための手段】上記課題は、第1に、透明基板上に遮光膜を選択的に形成した後、絶縁膜を形成する工程と、前記遮光膜をマスクとするホトリソグラフィにより、前記遮光膜の上方の絶縁膜上であって、前記ソース電極及びドレイン電極を形成すべき領域の間のチャネル領域層を形成すべき領域に選択的に第1のパターン形成膜を形成するとともに、第1の露光マスクを用いたホトリソグラフィにより、前記絶縁膜上であって、画素電極、ソース電極及びドレイン電極を形成すべき領域以外の領域に選択的に第2のパターン形成膜を形成する工程と、前記第1及び第2のパターン形成膜を介して前記絶縁膜上に露光光を透過する第1の導電体膜を形成する工程と、前記第1及び第2のパターン形成膜

5

を除去して、リフトオフにより前記第1の導電体膜からなる画素電極、ソース電極及びドレイン電極を形成する工程と、前記ソース電極及びドレイン電極を橋渡しするように選択的に半導体層及び第1のゲート絶縁膜を形成するとともに、前記ドレイン電極と接続するドレインバスラインを形成する工程と、前記第1のゲート絶縁膜上に第2のゲート絶縁膜と露光光を透過する第2の導電体膜とを順次形成する工程と、前記遮光膜をマスクとするホトリソグラフィ法により前記遮光膜の上方の第2の導電体膜上に第3のパターン形成膜を形成するとともに、第2の露光マスクを用いたホトリソグラフィ法により、ゲートバスラインを形成すべき領域の第2の導電体膜上に第4のパターン形成膜を形成する工程と、前記第3及び第4のパターン形成膜をマスクとして前記第2の導電体膜をエッチング・除去し、前記第2のゲート絶縁膜上に前記第2の導電体膜からなるゲート電極及び該ゲート電極と接続するゲートバスラインを形成する工程とを有する液晶装置の製造方法によって達成され、第2に、前記第1及び第2のパターン形成膜を形成する工程においては、加熱処理により感光反応形式がネガタイプとポジタイプとの間で逆転する第1の感光性膜を前記絶縁膜上に形成する工程と、前記透明基板と反対側の表面側から、画素電極、ソース電極、ドレイン電極及び遮光膜の上方であってソース電極とドレイン電極との間のチャネル領域層を形成すべき領域以外の領域の第1の感光性膜に選択的に露光光を照射した後、加熱処理して前記第1の感光性膜の感光反応形式を逆転する工程と、前記遮光膜をマスクとして前記透明基板側から前記第1の感光性膜に選択的に露光光を照射した後、前記第1の感光性膜を現像し、前記絶縁膜上であって、前記遮光膜の上方のチャネル領域層を形成すべき領域と、前記画素電極、ソース電極及びドレイン電極を形成すべき領域以外の領域とにそれぞれ第1及び第2のパターン形成膜を形成する工程とを含むことを特徴とする第1の発明に記載の液晶装置の製造方法によって達成され、第3に、前記第3及び第4のパターン形成膜を形成する工程においては、前記第2の導電体膜上に加熱処理により感光反応形式がネガタイプとポジタイプとの間で逆転する第2の感光性膜を形成する工程と、前記ゲートバスラインを形成すべき領域の第2の感光性膜に選択的に露光光を照射した後、加熱処理して前記第2の感光性膜の感光反応形式を逆転する工程と、前記ドレインバスライン上方の領域に選択的に露光光を照射するとともに、前記遮光膜をマスクとして前記透明基板側から前記第2の感光性膜に選択的に露光光を照射した後、前記第2の感光性膜を現像し、前記第2の導電体膜上であって、前記遮光膜の上方のゲート電極を形成すべき領域、及び前記ゲートバスラインを形成すべき領域にそれぞれ第3及び第4のパターン形成膜を形成する工程とを含むことを特徴とする第1又は第2の発明に記載の液晶装置の製造方法によって達

6

成され、第4に、前記ドレインバスラインはA1膜等の遮光性の導電体膜であることを特徴とする第3の発明に記載の液晶装置の製造方法によって達成され、第5に、前記第1の導電体膜はITO膜/ n^+ a-Si膜の2層の導電体膜であり、前記第2の導電体膜はITO膜であり、前記第1及び第2のゲート絶縁膜はシリコン窒化膜であることを特徴とする第1～第4の発明のいずれかに記載の液晶装置の製造方法によって達成される。

【0014】

【作 用】本発明の液晶装置の製造方法においては、透明基板上の遮光膜をマスクとするホトリソグラフィ法によりソース電極及びドレイン電極を形成すべき領域の間のチャネル領域層を形成すべき領域を形成し、かつ同じ遮光膜をマスクとするホトリソグラフィ法によりゲート電極を形成している。従って、チャネル領域層の両側のソース電極及びドレイン電極とゲート電極とは自己整合されるので、これらの間の重なりを必要最小限に少なくすることができる。これにより、電極間の浮遊容量の低減を図ることができる。

【0015】また、感光反応形式がネガタイプとポジタイプとの間で逆転する感光性膜を用い、表面からの露光及び裏面の透明基板側からの遮光膜を介した露光を組み合わせたホトリソグラフィ法、及びリフトオフ法により、一回の感光性膜の形成だけで、ゲート電極と自己整合されるチャネル領域層を挟んで対向するソース電極及びドレイン電極と画素電極とを形成しているの、工程の簡略化を図ることができる。

【0016】更に、感光反応形式がネガタイプとポジタイプとの間で逆転する感光性膜を用い、表面からの露光及び裏面の透明基板側からの遮光膜を介した露光を組み合わせたホトリソグラフィ法により、一回の感光性膜の形成だけで、チャネル領域層と自己整合されたゲート電極及びこのゲート電極と接続するゲートバスラインを形成しているの、上記と同様に、工程の簡略化を図ることができる。また、ドレインバスライン等の遮光性の導電体膜を含み、裏面からの露光が妨げられるような場合でも、予めこの部分を表面から露光しておくことにより、一回の感光性膜の形成だけで、チャネル領域層と自己整合されたゲート電極及びこのゲート電極と接続するゲートバスラインを形成しているの、上記と同様に、工程の簡略化を図ることができる。

【0017】

【実施例】次に、図面を参照しながら本発明の実施例について説明する。図1(a)～図7(q)は、本発明の実施例の制御素子としてスタガ型の薄膜トランジスタ(TFT)を有する液晶装置(LCD)の製造方法について説明する図である。なお、図1(a)～図2(d)、図3(f)～図4(k)、図6(n)、図7(p)は断面図、図2(e)、図5(l)、(m)、図6(o)、図7(q)は上面図で、図2(e)のA-A

線断面図を図2(d)に、図6(o)のB-B線断面図を図6(n)に、図7(q)のC-C線断面図を図7(p)に示す。

【0018】まず、図1(a)に示すように、TFTのチャネル領域層に液晶装置の駆動のためのバックライト光が当たらないように、合成石英からなる透明基板21上の、薄膜トランジスタ(TFT)のチャネル領域層を形成すべき領域を含む領域に、膜厚約600Åのクロム(Cr)膜からなる遮光膜22を選択的に形成する。このとき、遮光膜22の幅は、形成されるチャネル領域層の幅とほぼ同じ大きさに形成しておく。続いて、遮光膜22を被覆して膜厚約5000ÅのSiO₂膜からなる絶縁膜23を形成する。

【0019】次いで、加熱処理により感光反応形式がネガタイプからポジタイプに変化するレジスト膜(第1の感光性膜)24を絶縁膜23上に形成した後、画素電極、ソース電極、ドレイン電極及びソース電極とドレイン電極との間のチャネル領域層を形成すべき領域以外の領域のレジスト膜24を露光マスク(第1の露光マスク)25を用いて選択的に露光する(図1(b))。

【0020】次に、温度120℃、時間10分の条件で加熱処理を行い、レジスト膜24の感光反応形式をネガタイプからポジタイプに変化させる(図1(c))。次いで、遮光膜22をマスクとして、透明基板21の側から遮光膜22の上方の、TFTのチャネル領域層を形成すべき帯状の領域のレジスト膜24を選択的に露光する。このとき、多少、過剰気味に露光を行うことにより、遮光膜22上の非露光部26cの幅が遮光膜22の幅よりも狭くなるようにする(図2(d)、(e))。

【0021】次に、レジスト膜24を現像すると、ネガタイプのレジスト膜として露光光の照射された領域26bと、ポジタイプのレジスト膜として露光光の照射されていない領域26cのレジスト膜が残存する。即ち、ソース電極とドレイン電極との間のチャネル領域層を形成すべき領域と、画素電極、ソース電極及びドレイン電極を形成すべき領域以外の領域とにそれぞれレジストパターン(第1のパターン形成膜)24a及びレジストパターン(第2のパターン形成膜)24bが形成される(図3(f))。

【0022】次いで、画素電極となる膜厚約500ÅのITO膜27をスパッタ法により、リンをドーブした膜厚約300Åのn+型のa-Si膜(n⁺a-Si膜)28をプラズマCVD法により順次全面に形成する。なお、ITO膜27及びn⁺a-Si膜28の2層の導電体膜が第1の導電体膜39を構成する(図3(g))。

【0023】次に、残存するレジストパターン24a、24bを除去すると、画素電極、ソース電極及びドレイン電極を形成すべき領域以外のITO膜27/n⁺a-Si膜28がレジストパターン24a、24bとともにリフトオフにより除去され、ITO膜27a/n⁺a-Si膜28a

の2層の導電体膜が画素電極、ソース電極を形成すべき領域に残存するとともに、ITO膜27b/n⁺a-Si膜28bの2層の導電体膜がドレイン電極を形成すべき領域に残存する(図3(h))。

【0024】次いで、全面に膜厚約200Åのa-Siからなる半導体層及びゲート絶縁膜の一部となる膜厚約500ÅのSiN膜からなる絶縁膜をプラズマCVD法により順次形成する。続いて、絶縁膜、半導体層及びn⁺a-Si膜28a、28bを選択的にエッチングして、ITO膜27aからなる画素電極29と、画素電極29と接続するITO膜27a/n⁺a-Si膜28cからなるソース電極30と、TFTのチャネル領域層を形成すべき帯状の領域を挟んでソース電極30と対向するITO膜27b/n⁺a-Si膜28dからなるドレイン電極31とを形成するとともに、対向するソース電極30及びドレイン電極31との間が橋渡しされるように半導体層32、第1のゲート絶縁膜33を残存する。これにより、ソース電極30上の半導体層がソース領域層32aとなり、ドレイン電極31上の半導体層がドレイン領域層32bとなり、ソース電極30及びドレイン電極31との間の半導体層がチャネル領域層32cとなっている一のTFTが完成する。

【0025】次に、一のTFTのドレイン電極31及び不図示の他のTFTのドレイン電極を互いに接続するドレインバスライン34を形成した(図4(i))後、ゲート絶縁膜の一部となる膜厚約3000ÅのSiN膜からなる第2のゲート絶縁膜35を形成する。

【0026】次いで、第2のゲート絶縁膜35上にゲート電極及びゲートバスラインとなる膜厚約3000ÅのITO膜(第2の導電体膜)36を形成した(図4(j))後、加熱により感光反応のタイプがネガタイプからポジタイプに変化するレジスト膜(第2の感光性膜)37をITO膜36上に形成する(図4(k))。

【0027】次に、ゲートバスラインを形成すべき領域のレジスト膜37を不図示の露光マスク(第2の露光マスク)を用いて選択的に露光する(図5(l))。続いて、温度120℃、時間10分の条件で加熱処理を行い、ネガタイプのレジスト膜37をポジタイプのレジスト膜37に変化させる。ここで、次の工程で通常に透明基板21側から露光光を照射した場合、ドレインバスライン34の影になるため、ドレインバスライン34上方のレジスト膜37には露光光が当たらず、レジスト膜37を現像するとこの部分にはレジスト膜37が残存する。従って、次に、予めドレインバスライン34上方のレジスト膜37を不図示の露光マスクを用いて表面側から露光して、現像により除去できるようにしておく(図5(m))。

【0028】次に、遮光膜22をマスクとして透明基板21側よりレジスト膜37を選択的に露光した(図6(n)、(o))後、レジスト膜24を現像すると、ネ

ガタイプのレジスト膜37として露光光の照射された領域38bと、ポジタイプのレジスト膜37として露光光の照射されていない領域38eのレジスト膜が残存する。即ち、チャネル領域層32cの上方の、ゲート電極を形成すべき領域にほぼチャネル領域層32cの幅と同じ大きさのレジストパターン(第3のパターン形成膜)37aを形成されるとともに、ゲートバスラインを形成すべき領域にレジストパターン(第4のパターン形成膜)37bを形成される。

【0029】次いで、レジストパターン37a、37bをマスクとしてITO膜36を選択的にエッチング・除去し、ITO膜からなるゲート電極36a及びゲートバスライン36bを形成する(図7(p)、(q))。その後、全面に不図示の液晶膜を形成すると、液晶装置が完成する。

【0030】以上のように、本発明の実施例によれば、同一の遮光膜22をマスクとするホトリソグラフィ法により、ソース電極30とドレイン電極31との間のチャネル領域層32cが形成される空隙と、チャネル領域層32c上のゲート電極36aとを形成している。従って、ソース電極30とドレイン電極31との間のチャネル領域層32cの幅とゲート電極36aの幅とはほぼ等しく、かつ共に遮光膜22の上方に位置が整合するように形成することができる。このため、ソース電極30及びドレイン電極31とゲート電極36aとの重なりは極めて少なくなるので、TFT素子の寄生容量を小さくして、液晶装置の高速化を図ることができる。

【0031】また、透明基板21と反対側の表面から露光マスクを用いて選択的に露光光を照射しているが、露光マスクを用いずに露光光を絞れる装置を用いて選択的に露光光を照射してもよい。

【0032】

【発明の効果】以上のように、本発明の実施例によれば、透明基板上の遮光膜をマスクとするホトリソグラフィ法により、ソース電極及びドレイン電極を形成すべき領域の間のチャネル領域層を形成すべき領域を形成し、かつ同じ遮光膜をマスクとするホトリソグラフィ法によりゲート電極を形成している。従って、チャネル領域層の両側のソース電極及びドレイン電極とゲート電極とは自己整合されるので、ソース電極及びドレイン電極とゲート電極との重なりを極めて少なくすることができる。これにより、電極間の浮遊容量の低減を図ることができ、このため、液晶装置の高速化を図ることができる。

【図面の簡単な説明】

【図1】本発明の実施例のTFTアクティブマトリクスLCDの製造方法について説明する図(その1)である。

【図2】本発明の実施例のTFTアクティブマトリクスLCDの製造方法について説明する図(その2)であ

る。

【図3】本発明の実施例のTFTアクティブマトリクスLCDの製造方法について説明する図(その3)である。

【図4】本発明の実施例のTFTアクティブマトリクスLCDの製造方法について説明する図(その4)である。

【図5】本発明の実施例のTFTアクティブマトリクスLCDの製造方法について説明する図(その5)である。

【図6】本発明の実施例のTFTアクティブマトリクスLCDの製造方法について説明する図(その6)である。

【図7】本発明の実施例のTFTアクティブマトリクスLCDの製造方法について説明する図(その7)である。

【図8】従来例のTFTアクティブマトリクスLCDの製造方法について説明する断面図(その1)である。

【図9】従来例のTFTアクティブマトリクスLCDの製造方法について説明する断面図(その2)である。

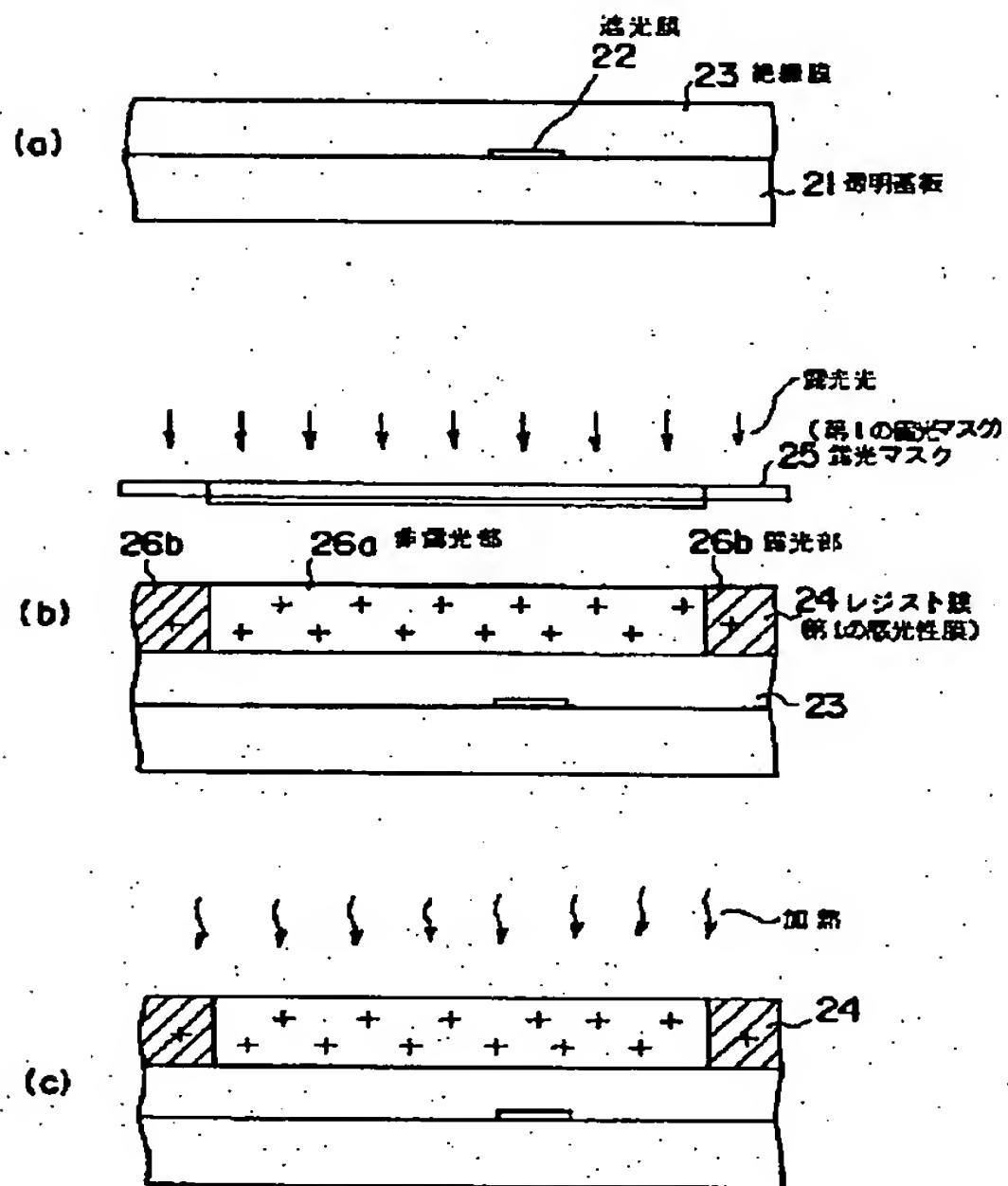
【図10】従来例のTFTアクティブマトリクスLCDの製造方法について説明する断面図(その3)である。

【符号の説明】

- 21 透明基板、
- 22 遮光膜、
- 23 絶縁膜、
- 24 レジスト膜(第1の感光性膜)、
- 24a レジストパターン(第1のパターン形成膜)、
- 24b レジストパターン(第2のパターン形成膜)、
- 25 露光マスク(第1の露光マスク)、
- 26a, 26c, 38a, 38c, 38e 非露光部、
- 26b, 26d, 38b, 38d 露光部、
- 27, 27a, 27b ITO膜、
- 28, 28a, 28b, 28c, 28d a-Si膜、
- 29 画素電極、
- 30 ソース電極、
- 31 ドレイン電極、
- 32 半導体層、
- 32a ソース領域層、
- 32b ドレイン領域層、
- 32c チャネル領域層、
- 33 第1のゲート絶縁膜、
- 34 ドレインバスライン、
- 35 第2のゲート絶縁膜、
- 36 ITO膜(第2の導電体膜)、
- 37 レジスト膜(第2の感光性膜)、
- 37a レジストパターン(第3のパターン形成膜)、
- 37b レジストパターン(第4のパターン形成膜)、
- 39 第1の導電体膜。

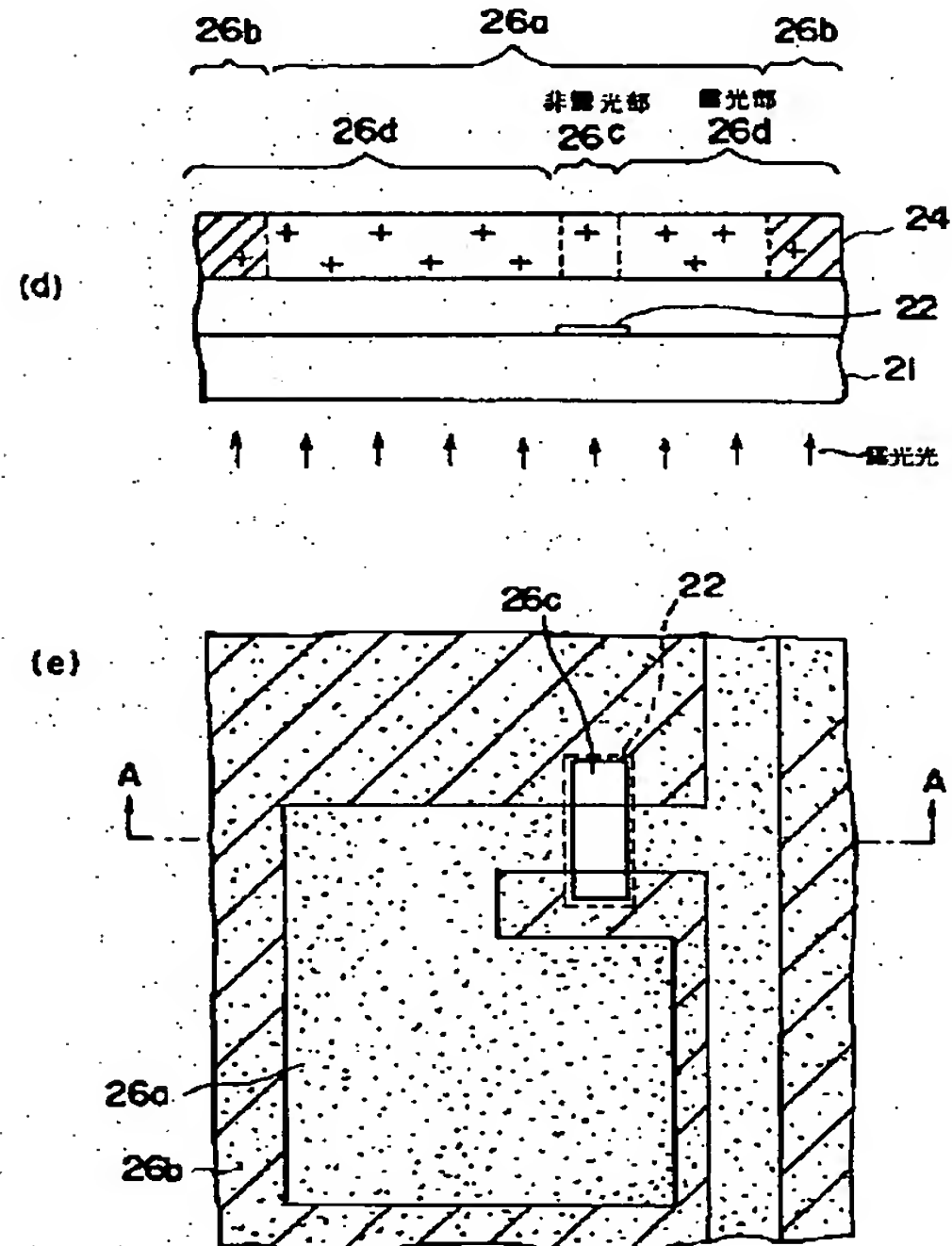
【図1】

本発明の実施例のTFTアクティブマトリクスLCDの製造方法について説明する図（その1）



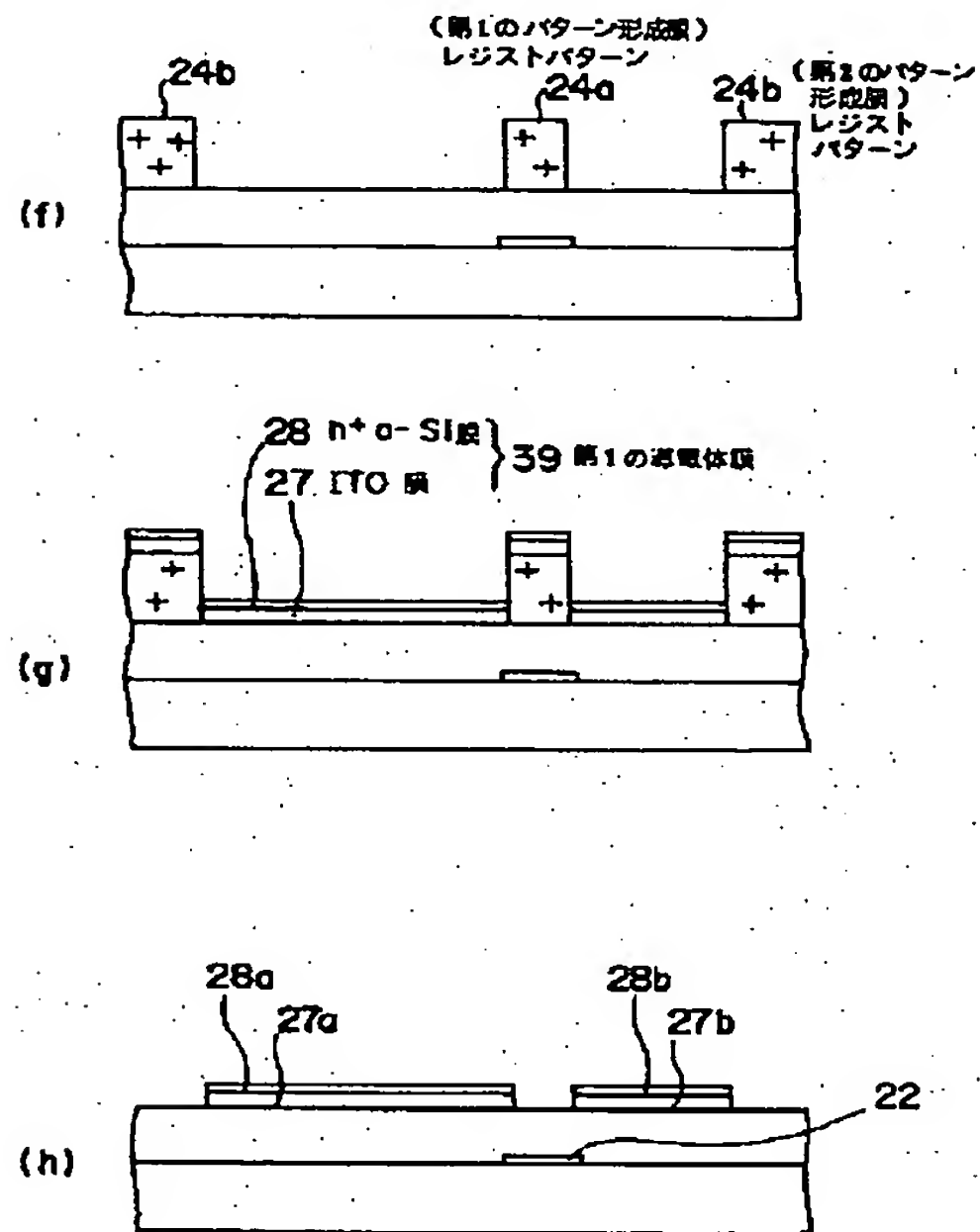
【図2】

本発明の実施例のTFTアクティブマトリクスLCDの製造方法について説明する図（その2）



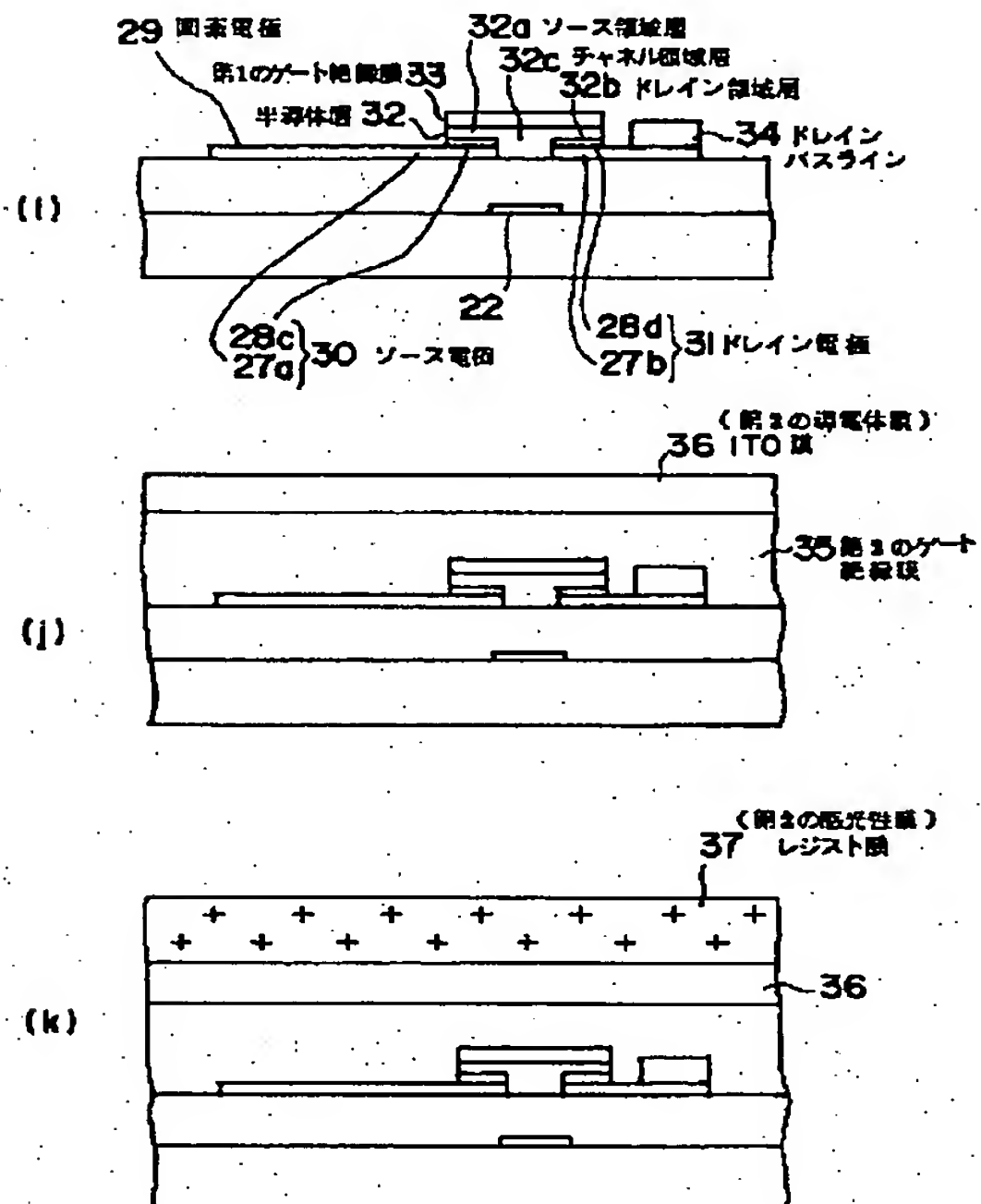
【図3】

本発明の実施例のTFTアクティブマトリクスLCDの製造方法について説明する図（その3）



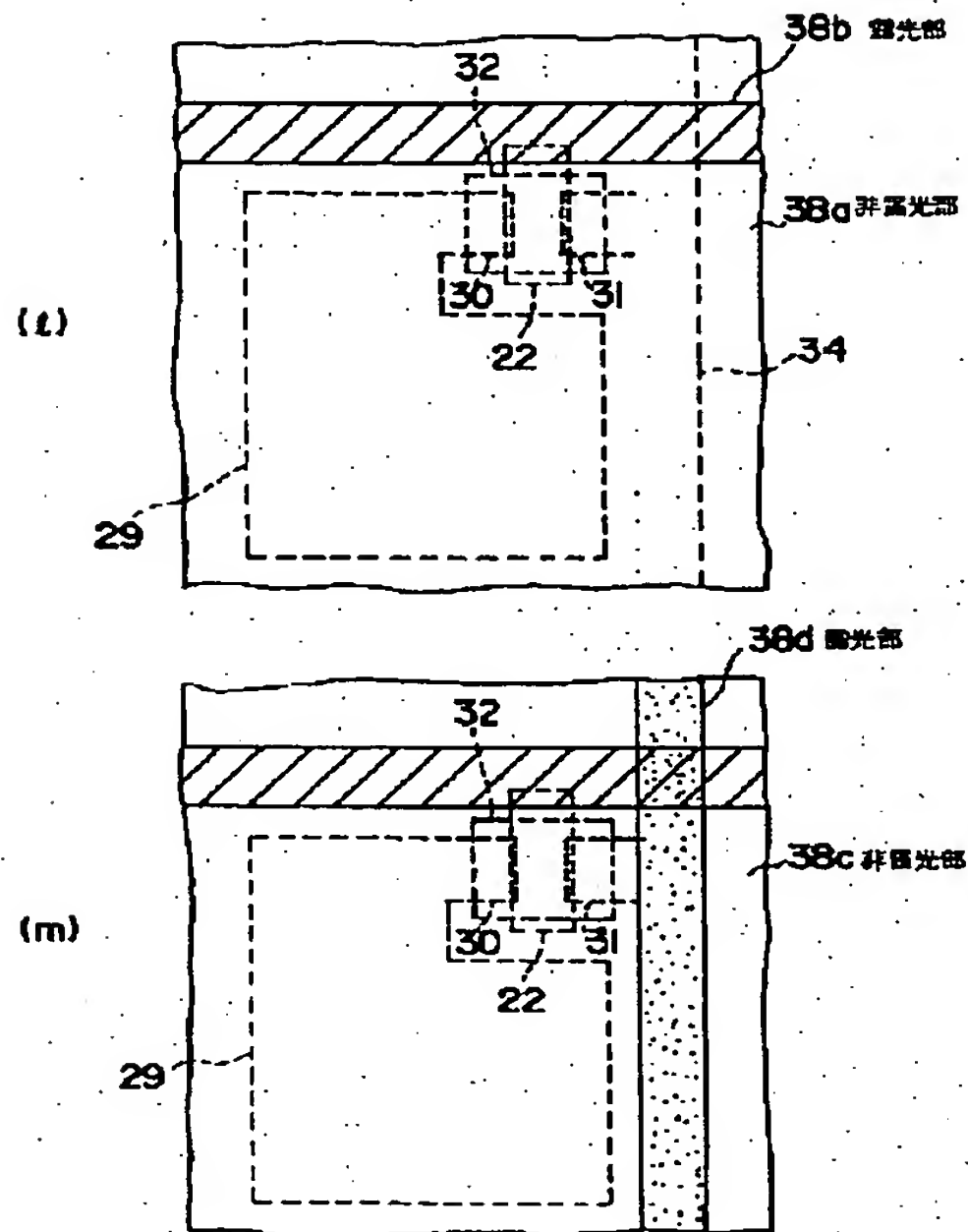
【図4】

本発明の実施例のTFTアクティブマトリクスLCDの製造方法について説明する図（その4）



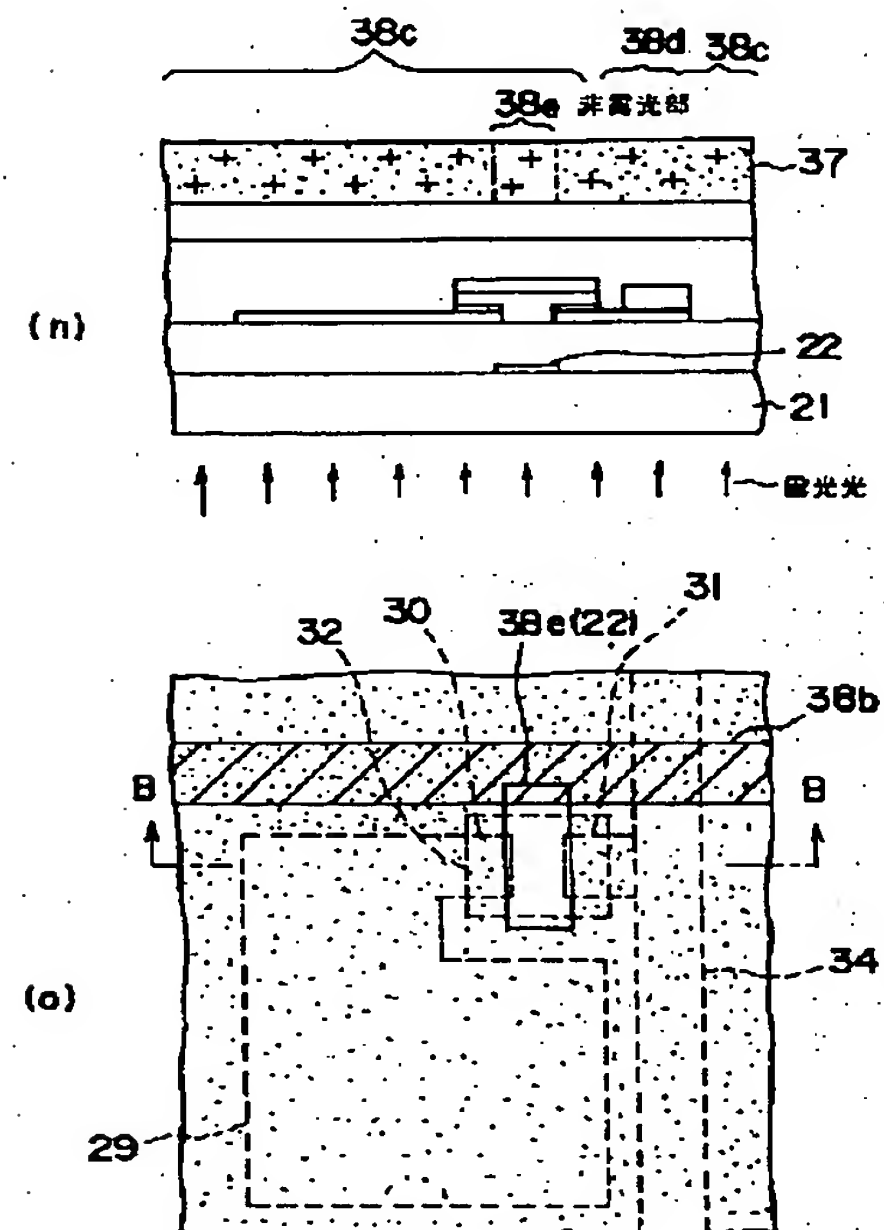
【図5】

本発明の実施例のTFTアクティブマトリクスLCDの製造方法について説明する図（その5）



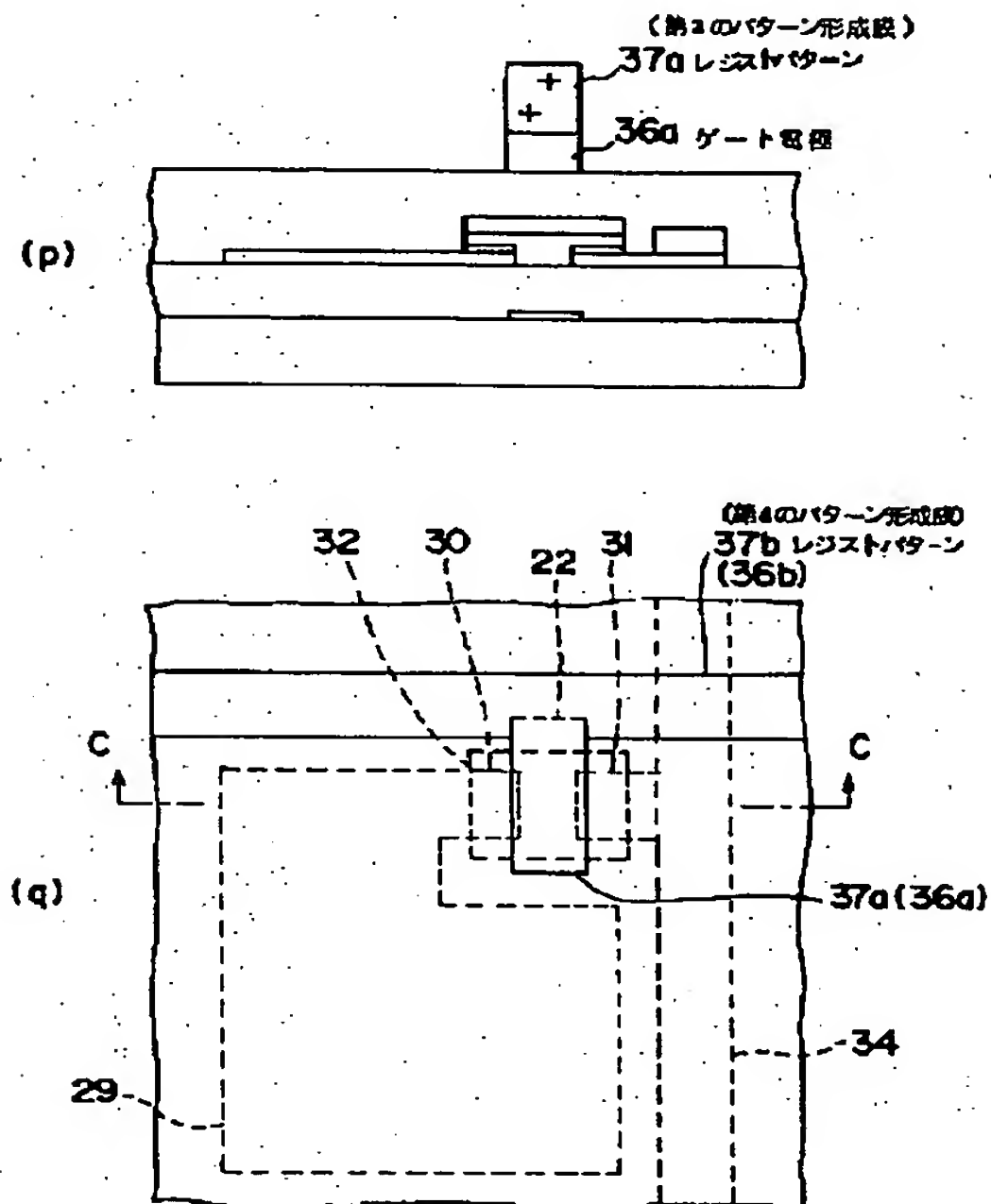
【図6】

本発明の実施例のTFTアクティブマトリクスLCDの製造方法について説明する図（その6）



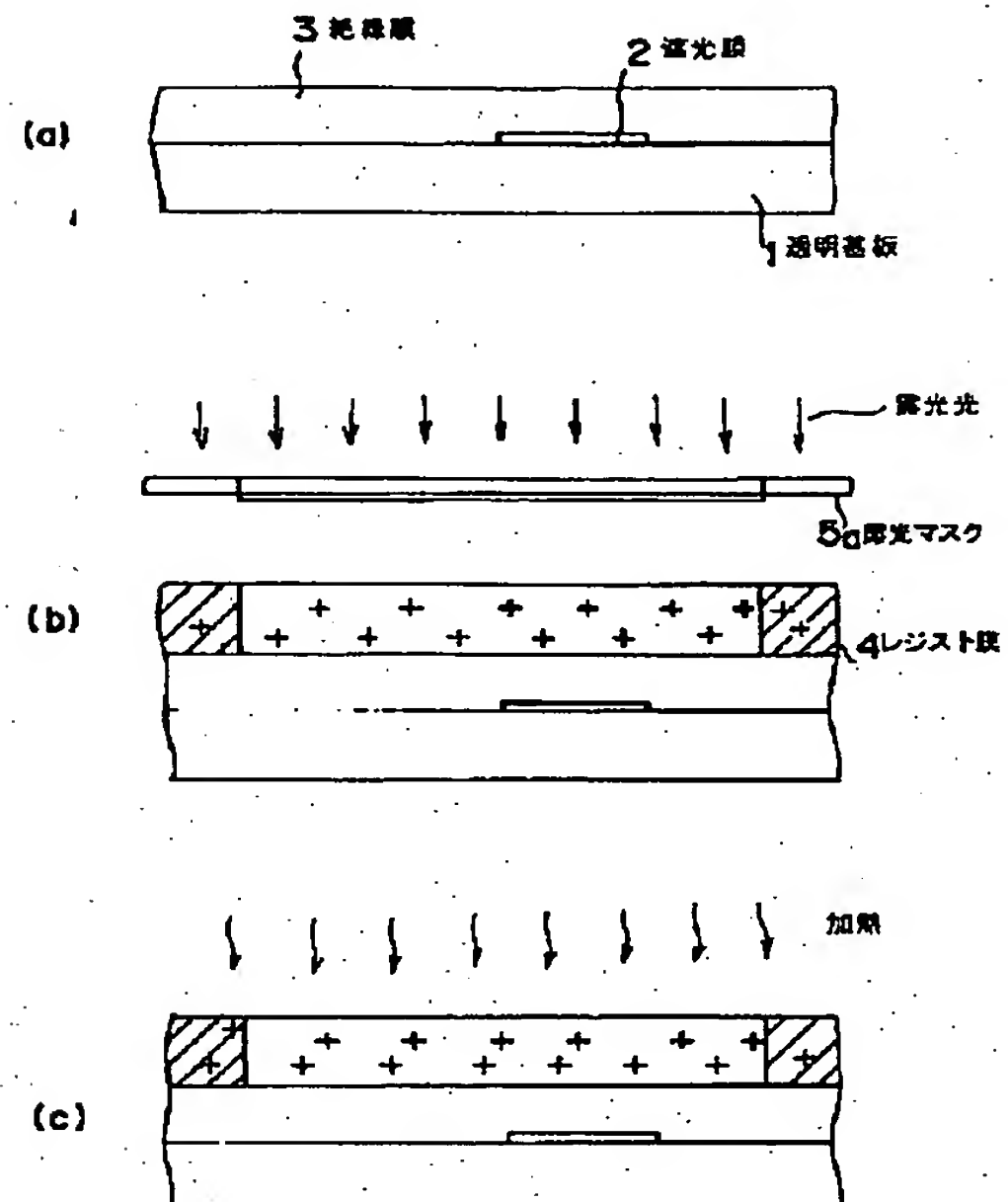
【図7】

本発明の実施例のTFTアクティブマトリクスLCDの製造方法について説明する図（その7）



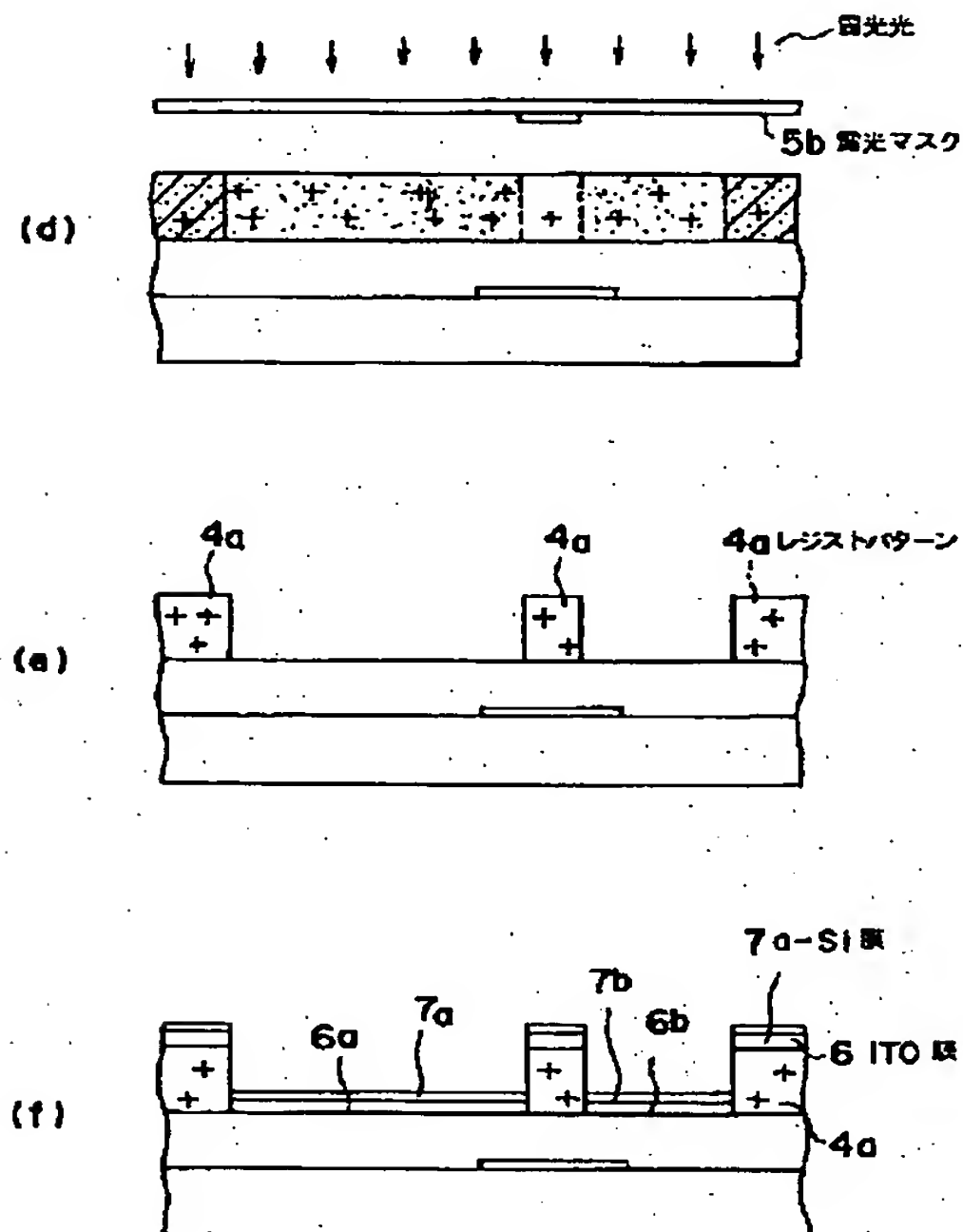
【図8】

従来例のTFTアクティブマトリクスLCDの製造方法について説明する断面図（その1）



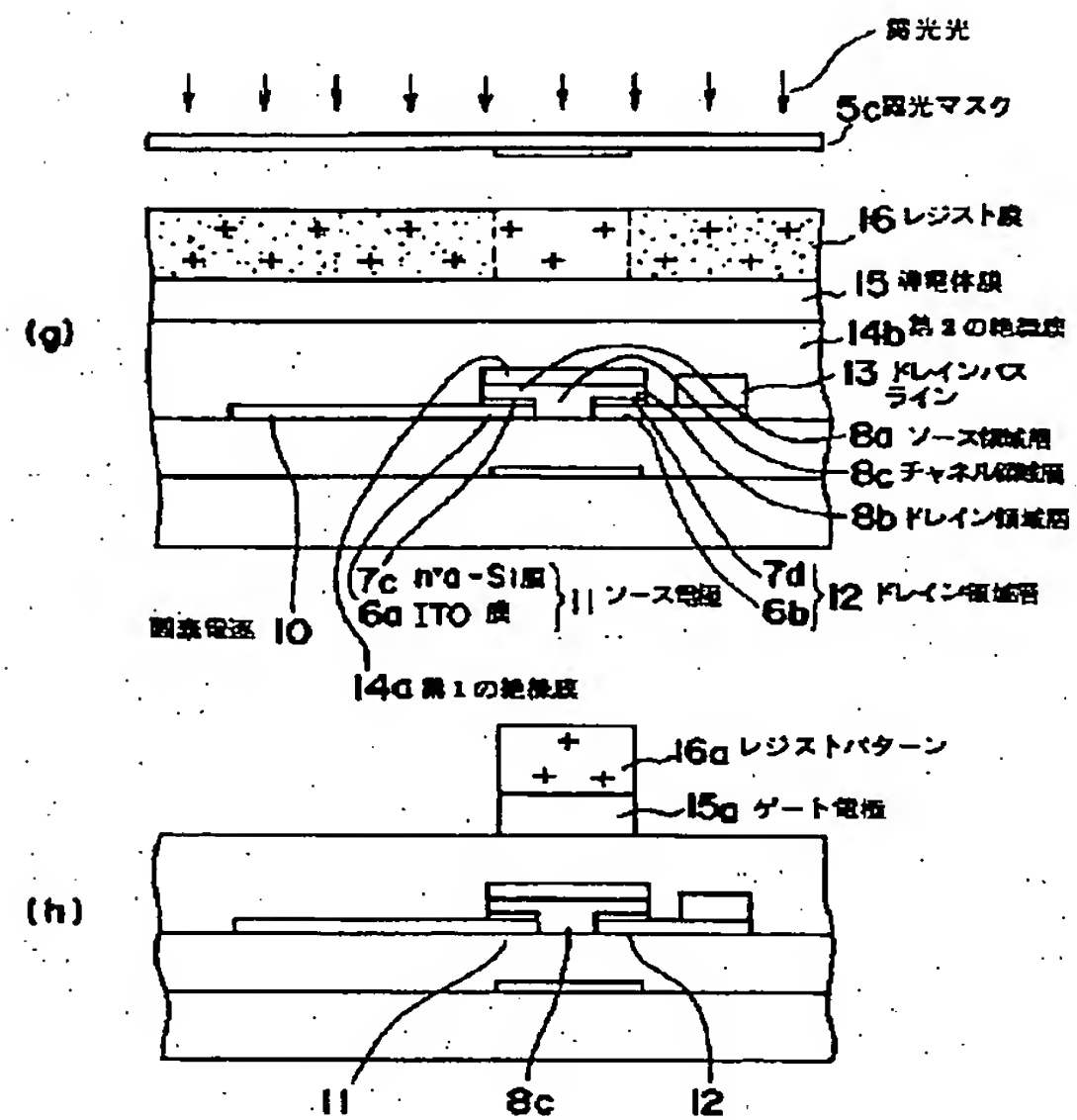
【図9】

従来例のTFTアクティブマトリクスLCDの製造方法
について説明する断面図（その2）



【図10】

従来例のTFTアクティブマトリクスLCDの製造方法
について説明する断面図（その3）



フロントページの続き

(51) Int. Cl.⁵
H01L 27/12

識別記号 庁内整理番号
A 8728-4M

F I

技術表示箇所